

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09083417 A**(43) Date of publication of application: **28.03.97**

(51) Int. Cl.

H04B 7/005
H03F 1/32
H04B 1/40

(21) Application number: **07241760**(22) Date of filing: **20.09.95**

(71) Applicant:

HITACHI DENSHI LTD

(72) Inventor:

WAKAI HIROTAKE
OTA MASAOKI
YAMAMOTO HIROYUKI

(54) **RADIO EQUIPMENT**

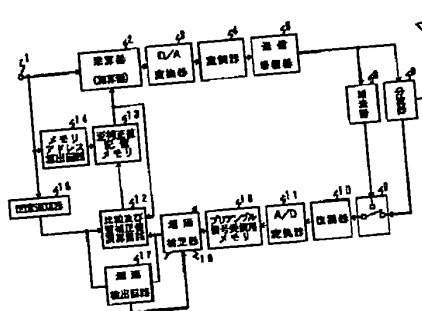
(57) Abstract:

PROBLEM TO BE SOLVED: To reduce the arithmetic processing time of a transmission signal in a comparison and distortion correction value arithmetic circuit by detecting the delay amount of a feedback signal from a transmission amplifier and comparing the feedback signal with a transmission signal after delay correction so as to obtain a distortion correction value.

SOLUTION: Part of a transmission modulated signal is returned to a reception section, demodulated and A/D-converted and the result is stored in a memory 16. In order to correct a delay and distortion caused in this case, a feedback signal stored in the memory 16 is outputted through a delay correction device 19, a modulation input signal is compared with a signal delayed via a fixed delay device 18 at a delay detection circuit 17 to decide the delay correction amount of the correction device 19. An output value of a feedback device 19 correcting the delay and an arithmetic circuit 12 calculates a distortion correction value with respect to the demodulation signal correcting the delay difference and written in a memory 13. When a transmission data signal is received in a succeeding frame, the distortion correction value corresponding to the amplitude of the

transmission data is outputted from the memory 13 and multiplexed with transmission data by a multiplier 2 and correction to cancel the nonlinear distortion of the transmission amplifier 5 is conducted.

COPYRIGHT: (C)1997,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-83417

(43) 公開日 平成9年(1997)3月28日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 B	7/005		H 0 4 B	7/005
H 0 3 F	1/32		H 0 3 F	1/32
H 0 4 B	1/40		H 0 4 B	1/40

審査請求 未請求 請求項の数 4 O L (全 6 頁)

(21) 出願番号 特願平7-241760

(22) 出願日 平成7年(1995)9月20日

(71) 出願人 000005429

日立電子株式会社

東京都千代田区神田和泉町1番地

(72) 発明者 若井 洋丈

東京都小平市御幸町32番地 日立電子株式会社開発研究所内

(72) 発明者 太田 正明

東京都小平市御幸町32番地 日立電子株式会社開発研究所内

(72) 発明者 山本 裕之

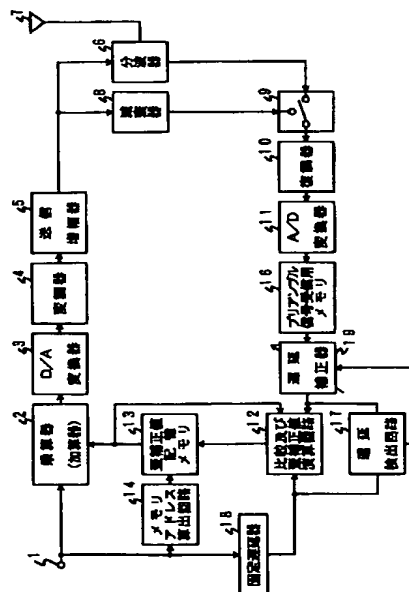
東京都小平市御幸町32番地 日立電子株式会社開発研究所内

(54) 【発明の名称】 無線機

(57) 【要約】

【課題】 送信増幅器の非線形補償回路を有する無線機において、送信増幅器からの帰還信号の遅延量を遅延検出回路により検出し、遅延補正器により帰還信号の遅延を補正後に送信信号と比較し歪補正值を得ることにより、比較および歪補正值演算回路においての送信信号の演算処理時間を短縮し、ハードウェア量の低減を図る。

【解決手段】 帰還信号の遅延補正を変調入力信号側で行わず、帰還信号側で行うように構成すると共に、データ信号の送信に先立ち帯域制限を施したプリアンプル信号を送信し、そのプリアンプル信号と帰還信号とを比較して歪補正值を求める。



【特許請求の範囲】

【請求項1】 送信増幅器の非線形歪を該送信増幅器へ入力する変調入力信号を予め歪ませることにより補償し、かつ送信増幅器の出力と変調入力信号とを比較することにより補償すべき歪量を算出する構成の非線形補償回路を有する無線機において、無線機の受信部と独立に有するか又は受信部と兼用することによる送信増幅器の送信出力の一部を帰還するための帰還回路と、該帰還回路の出力と送信信号とをそれぞれ蓄積するメモリと、該蓄積された帰還回路の出力信号と送信信号を比較するための比較回路と、比較回路の誤差出力から歪補正值を算出するための歪補正值算出回路と、歪補正值を記憶するためのメモリと、該メモリのアドレス値を送信信号から求めるためのアドレス回路と、上記メモリの出力を上記変調入力信号と乗算するための演算回路と、帰還回路の復調信号と送信信号の遅延差を検出するための遅延検出回路と、遅延検出回路からの制御信号により該遅延差を補正するための遅延補正回路とを備え、かつ該遅延補正回路を上記帰還回路の出力を蓄積するメモリと上記比較回路との間に設けることを特徴とする無線機。

【請求項2】 請求項1に記載の無線機において、歪補正值の算出に既知のプリアンプル信号を用いることを特徴とする無線機。

【請求項3】 請求項2に記載の無線機において、プリアンプル信号として無線機の受信部の通過帯域幅 f_R に対し補償を必要とする送信増幅器の特性の高次高調波の次数 N を除算した f_R / N の帯域幅のスペクトラムを有するプリアンプル信号を用いることを特徴とする無線機。

【請求項4】 請求項3に記載の無線機において、プリアンプル信号としてゼロクロス点を有するプリアンプル信号を用いることを特徴とする無線機。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は送信増幅器の非線形歪を、あらかじめ変調入力信号を歪ませて入力することで補償し、かつ補償量を復調出力と変調入力信号とを比較することにより求めるプレディストータ方式の送信増幅器補償回路の改良に関するものである。

【0002】

【従来の技術】 一般に、移動通信用のデジタル無線機において、QPSKや多値QAMのような線形変調を用いる場合、送信増幅器の非線形歪により受信誤り率が劣化し、また送信スペクトルが広がり隣接チャネルに雑音電力として妨害を与えるので、送信増幅器の線形補償が必要となる。従来の無線機の送信部においては、この対策として、送信増幅器の出力段で歪を打ち消すように送信増幅器入力に予め歪ませておく、いわゆるプレディストータ方式による補償方式がよく用いられる。その場

合、例えば、「Linear Amplification Technique for Digital Mobile Communications」CH2379-1/89/0000/0159 1989 IEEE PP.159 に記載されているように、送信部に復調回路を設けるか、若しくは受信部を利用して送信増幅器の出力の一部を復調した帰還信号と変調入力信号とを比較し、その比較値から歪補正值を求めて補償する閉ループ制御がよく用いられる。

【0003】 従来技術の一例を図2を用いて説明する。送信部では、変調信号は入力端子1より入力され、乗算器(加算器)2で歪補正值をかけ合わされた後、D/A変換器3でアナログ信号に変換される。次に、変調器4で変調を行い、送信増幅器5で増幅を行った後、分波器6を介しアンテナ7より出力される。送信被変調波信号の一部は、減衰器8で所定の減衰を行った後、スイッチ9を介して受信部に戻る。受信部に戻された信号は、復調器10で復調され、A/D変換器11によりデジタル信号に変換される。このデジタル信号に変換された復調信号は、一旦、プリアンプル信号受信用メモリ16に記憶される。ここで、プリアンプル信号受信用メモリ16に入力される復調信号は、変調入力信号に対し、送信増幅器などの回路により遅延及び歪が生じている。したがって、変調入力信号と復調信号(帰還信号)とを正しく比較するために、遅延検出回路17により両信号間の遅延量を算出する。

【0004】 次に、送信する変調入力信号に対し、遅延補正器15により遅延検出回路17で算出した遅延量だけ補正を行い、プリアンプル信号受信用メモリ16に取り込んだ帰還信号とのタイミングを合わせる。さらに、比較および歪補正值演算回路12では、遅延補正器15でタイミングを合わせた変調信号とプリアンプル信号受信用メモリ16に記憶された帰還信号とを比較して、それより歪補正值を算出する。また、送信データの振幅値に対応したアドレスをメモリアドレス算出回路14で求め、歪補正值記憶メモリ13に比較および歪補正值演算回路12で算出した歪補正值を書き込む。次の送信データには、上記算出歪補正值を歪補正值記憶メモリ13から出力し、乗算器2で送信信号と乗算し送出することにより送信データを送信増幅器の出力段での歪がないように補正を行う。送信増幅器の送信出力の線形性が必要十分であるためには、歪補正值記憶メモリ13の歪補正值データが適切な値になるよう事前に以上の操作を行うと共に、それらを入力信号の全ての量子化レベル値に対して行う必要がある。特に、工場出荷時等、歪補正值記憶メモリ13の初期値が0からスタートするような場合、出荷前に以上の操作を数フレーム繰り返して行って収束させる必要がある。

【0005】 ところで、送信信号1と歪補正值記憶メモリ13の出力との乗算を行う乗算器2は、加算器が用いられることもある。加算器を用いる場合は、歪補正值記憶メモリ13のアドレスが複素平面となるので同メモリ

の必要容量は大幅に増加するため、メモリ容量が少なくても乗算方式が選ばれることが多い。

【0006】

【発明が解決しようとする課題】以上に述べた無線機電力増幅器の線形補償方式の第一の問題点は、送信信号と帰還信号との比較および歪補正值演算回路12での演算量の増加の問題である。従来の方法では、遅延している復調信号とそれに対応させて遅延させた送信信号とを歪補正值演算回路12により両信号を比較する必要がある。送信信号は、この演算回路12において、式(1)に示す計算方法により歪補正更新値を求めることができるが、この際、遅延した複素送信信号 v の逆数即ち $1/v$ の計算をしなければならない。デジタルの演算素子は、加算、乗算の演算は高速に処理することができるが、除算の演算に関しては処理にかなり時間がかかる。さらに回路のドリフトなどを考慮すれば、毎フレーム(図4参照)毎に逆数を求める必要があるため、それに要する演算量、演算時間の増加に対し問題が生じてくる。

【0007】

$F_{n+1} = F_n - \alpha \{ (\omega/v) - k \} \dots (1)$
ここで、 ω ：復調信号、 v ：遅延補正を行った送信信号、 α ：ステップサイズパラメータ、 k ：線形送信増幅器の利得、 F_{n+1} ：歪補正值更新値、 F_n ：歪補正值(上記 ω 、 v 、 k 、 F_{n+1} 、 F_n は複素信号)

また、演算量の低減のため、上記 $1/v$ の値をROMテーブル化することもできるが、その場合のROMの必要メモリ量は、例えば送信信号の量子化ビット数を10ビットとすると約1メガワードと大容量となり、解決にならない。

*

$$(\omega/v) = (\omega \cdot \exp(-\phi)) * (1/|v|) \dots (2)$$

とし、遅延補正後の帰還信号 $(\omega \cdot \exp(-\phi))$ に、帰還回路の遅延を含まない送信信号の振幅の逆数値 $(1/|v|)$ を乗ずることに相当し、 $1/|v|$ の値は送信信号の振幅値に対して予め求めておくことができるので、 ω/v の演算量が大幅に低減することができることを意味する。このように、送信信号側で遅延補正を行わず、受信信号側で遅延補正を行わせるようにしたことにより、遅延補正を行う際に、従来、フレーム毎に異なっていた送信信号は毎フレーム同じ値となる。

【0011】また、予め逆数を求めてROMテーブル化しておけるので、歪補正值を求めるための演算は加減乗算のみで可能となり、従来の除算を用いる方式に比べ大幅に演算量を削減することが可能となる。また、既知の送信信号(プリアンブル信号)を用いて歪補正值を求める※

$$\sum_{i=1}^N k_i v_i \quad (v \text{ は入力信号}) \dots (3)$$

そして、送信増幅器の非線形歪の補償は、上記(3)式において、入力信号 v の関数である係数 k_i を求めて打ち消すことと考えることができる。ところが、文献BSTJ

*【0008】第二の問題点は、帰還回路の復調器10の帯域幅についての問題である。送信増幅器5において、送信信号帯域内の歪のみならず、隣接漏洩電力をも含めて十分に抑圧するためには、増幅器の高次高調波の歪迄を含めて帰還させる必要があり、帰還回路の通過帯域幅は、少なくとも信号帯域幅 f の N 倍(N は、抑圧すべき高調波の次数)必要となる。ところが、受信部における帯域幅 f_R は、一般に信号帯域幅 f より若干広い程度に制限されているので、帰還回路として受信系とは別に広帯域の復調器などを用意する必要があり、その分ハードウェアの量が増加する点が問題となる。

【0009】また第三の問題点は、帰還信号の遅延量を検出するための遅延検出回路17に関する問題である。送信信号に対する帰還信号の遅延量が正確に検出されなければ、歪補正に誤差が生ずることは、前述の文献などでも指摘されている。この遅延量は、送信増幅器5の出力から比較回路12までの遅延量であるが、実際には送信増幅器のAM-PM変換による等価的な遅延量が含まれており、それを分離できないため遅延差の補正に誤差が生ずる点も問題である。

【0010】

【課題を解決するための手段】本発明は、上記の第一の問題を解決するために、従来のように帰還信号の遅延補正を送信信号側で行う代りに、帰還信号側で行うように構成し、さらに既知の送信信号を用いることにより歪補正值算出時における除算を小容量のROMなどに置き換え、演算量および演算時間を大幅に低減できるようにしたものである。これは(1)式において、 $v = |v| e^{x p(\phi)}$ とおいたとき、

※場合は、歪補正值が歯抜けになるため、補間演算処理は追加されるが、逆数の演算回路としては、さらに削減することが可能である。上記本発明の構成における必要ROM容量は、プリアンブルを用いない場合でも、前述のように送信信号の量子化ビット数を10ビットとした場合、約1kワードとなり、前述の従来技術と比べて、約 $1/1000$ に縮小される。

【0012】第二の問題点を解決するために採った手段は、送信増幅器5の歪補正を、帯域幅が信号帯域幅の $1/N$ (N は補償を必要とする高次高調波の次数)に帯域制限したプリアンブル信号を用いて行う点である。一般に、送信増幅器の出力は、次の(3)式で近似される。

【0013】

Vol.62, No.4, April 1983 PP.1019 等で示唆されているように、送信増幅器の特性は、入力信号の振幅のみの関数とほぼみなせることが知られている。従って、補償す

べき係数 k_i は、入力信号 v の持つスペクトラムに関係なく決められることになり、少なくとも信号帯域幅の $1/N$ のスペクトラムをもつプリアンプル信号を用いれば、帰還回路の帯域幅が信号帯域幅にほぼ近い帯域幅で係数 k_i を補償するために必要な N 次までの歪情報が得られることになる。

【0014】従って、上記手段をとることにより、帰還回路の復調器10として受信系の復調部を兼用させることができ、それとは別の広帯域の復調回路を設ける必要がないので、無線機のハードウェア量を大幅に低減することが可能となる。また、以上の条件を満たすプリアンプル信号は、図3に示す例のように、2乗正弦波等により容易に実現できる。

【0015】第三の問題点を解決するために採った手段は、図5に示す例のように、ゼロクロス点を有するプリアンプル信号を用いることである。送信増幅器の出力歪は入力信号レベルの関数であり、入力信号がゼロのときには歪を生じない。従ってゼロクロス点を有するプリアンプル信号による送信増幅器からの帰還信号を検出することにより、送信増幅器の歪による等価的な遅延量を除去した帰還回路のみの遅延量を検出することができる。

【0016】従って、上記手段をとることにより、精度の高い帰還回路の遅延量の検出が可能になり、送信増幅器の歪補正の精度を改善することができる。またゼロ点の検出方法も2値処理などにより容易に実現できるので、遅延検出回路17の構成も簡素化されるといったメリットもある。また、ゼロクロス点を有するプリアンプル信号も、例えば図5に示すように、符号が反転する2つの2乗正弦波を時間をずらして重ねる等の方法により、容易に構成することが可能である。

【0017】

【発明の実施の形態】以下、この発明の一実施例を図1、図3、図4、図5を参照して説明する。本実施例では、歪補正用送信信号として、各フレーム毎に送信データ信号に先だて、例えば、図3に示すような振幅変化を有するプリアンプル信号を送信する場合について説明する。

【0018】送信部において、 $1/N$ (N は補償すべき高調波の次数) に帯域制限されたプリアンプル信号は、入力端子1より入力され、乗算器2で歪補正値をかけ合わされた後、D/A変換器3でアナログ信号に変換される。また、変調器4で所定の変調処理が施され、送信増幅器5で所定電力まで増幅された後、分波器6を介してアンテナ7より出力される。この送信被変調波信号の一部は、減衰器8で所定電力に減衰された後、スイッチ9を介して受信部に戻る。次に、受信部に戻された信号は、復調器10で復調され、A/D変換器11によりデジタル信号に変換される。デジタル信号に変換された復調信号は、一旦、プリアンプル信号受信用メモリ16に記憶される。このプリアンプル信号受信用メモリ1

6に入力される復調信号は、送信側の変調入力信号に対し、送信増幅器などの回路による遅延及び歪が生じているため、補正を行う必要が有る。

【0019】この遅延及び歪を補正するための演算処理は、図4で示すように、自局の送信の空き時間を利用して行う。また、上記復調信号の遅延を補正するために、プリアンプル信号受信用メモリ16に記憶したプリアンプル帰還信号を、遅延量を初期設定した遅延補正器19を通して出力し、その出力信号と、変調入力信号を固定遅延器18を介して所定時間遅延させた信号とを遅延検出回路17で比較し、その誤差信号を求めて、遅延補正器19の遅延補正量を決定する。

【0020】遅延量を補正した遅延補正器19を用いて、再度プリアンプル帰還信号での出力値を求め、比較および歪補正値演算回路12で送信信号との遅延差を補正した復調プリアンプル信号に対する歪補正値歪量を算出する。さらに、送信データの振幅値に対応したアドレスをメモリアドレス算出回路14で求め、歪補正値記憶メモリ13に歪補正値を書き込む。そして、次のフレームにおいて、送信データ信号が入力端子1から入力されると、送信データの振幅値に対応した歪補正値が歪補正値記憶メモリ13より出力され、乗算器2で送信データ信号と乗算されることにより、送信増幅器5の非線形歪を打ち消す補正が施される。このようにして、送信増幅器5の出力以降、無線機のアンテナ7から送信される送信信号において、非線形歪を除去するように補正することができる。

【0021】

【発明の効果】本発明によれば、プレディストータ方式の非線形補償回路を有する無線機において、歪補正値の算出において必要であった除算を乗算で置き換えることが可能となり、歪補正値の演算量や演算時間を大幅に短縮することができる。また、プリアンプル信号への工夫により、帰還回路の所要帯域幅を信号帯域幅と同等にすることができること、帰還回路の遅延量の検出の精度向上および検出回路の簡素化をはかることができ、無線機のハードウェアの低減を図ることができる。

【図面の簡単な説明】

【図1】本発明の一実施例を示すブロック図。

【図2】従来の無線機の構成を示すブロック図。

【図3】送信プリアンプル信号の一例を示す波形図。

【図4】TDMA方式の送信スロットの一例を示す図。

【図5】送信プリアンプル信号の他の例を示す波形図。

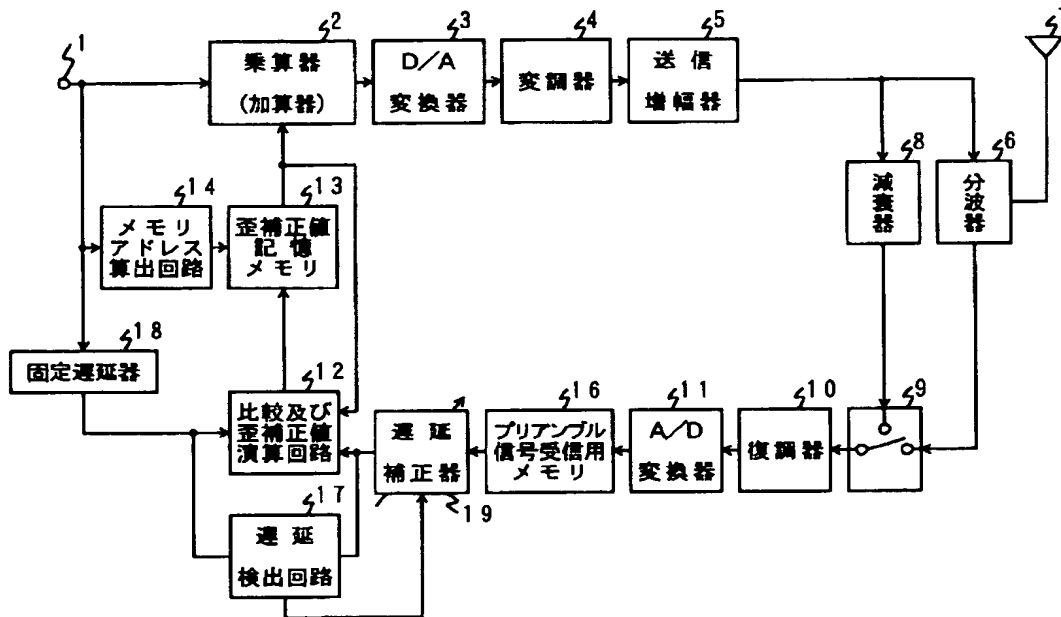
【符号の説明】

1…入力端子、 2…乗算器(加算器)、 3…D/A変換器、 4…変調器、 5…送信増幅器、 6…分波器、 7…アンテナ、 8…減衰器、 9…スイッチ、 10…復調器、 11…A/D変換器、 12…比較および歪補正

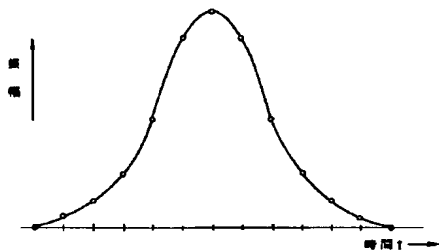
値演算回路、13…歪補正值記憶メモリ、14
…メモリアドレス算出回路、15、19…遅延補正器、

16…プリアンプル信号受信用メモリ、17
…遅延検出回路、18…固定遅延器。

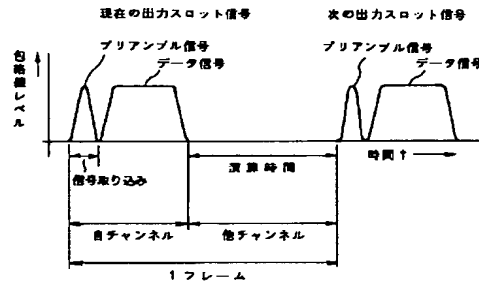
【図1】



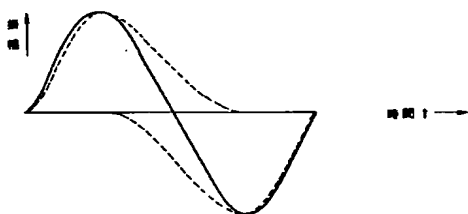
【図3】



【図4】



【図5】



【図2】

